

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-290330
 (43)Date of publication of application : 22.11.1989

(51)Int.Cl. H04J 3/00
 H04B 7/15

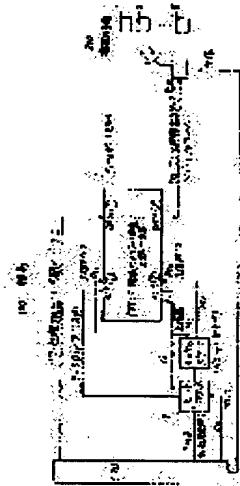
(21)Application number : 63-120869 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 18.05.1988 (72)Inventor : YOSHINO ISAO

(54) INTERFACE MADE BY USE OF DUAL PORT RAM

(57)Abstract:

PURPOSE: To relieve the processing load of a CPU by using a high-order value of an output of a channel counter as a high-order address of an address access data and outputting an output data subject to frame processing of a prescribed frame number of a prescribed bit number.

CONSTITUTION: An address area of a dual port RAM 1 is split into an area of a command number X of a prescribed code number N, a channel counter 22 starts summing by a channel change timing of a software processing data inputted from a CPU and gives a carry to the count every time the clock is counted equal to the prescribed code number M of the command. A high-order value M carried by the counter is used as a high-order address of an address area of the dual port RAM 1 being split the initial carry M1 is used as a high-order address of access of the software processing data and the next carry M2 is used as a high-order address of access of the hardware processing data and a data subject to frame synchronization to N-bit/X-frame is outputted from the RAM 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A)

平1-290330

⑬ Int. Cl.

H 04 J 3/00
H 04 B 7/15

識別記号

府内整理番号

H-6914-5K
C-7323-5K

⑭ 公開 平成1年(1989)11月22日

審査請求 未請求 請求項の数 1 (全9頁)

⑮ 発明の名称 デュアルポートRAM使用によるインタフェース

⑯ 特 願 昭63-120869

⑰ 出 願 昭63(1988)5月18日

⑱ 発明者 吉野 热 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代理人 弁理士 井桁 貞一

明細書

1. 発明の名称

デュアルポートRAM 使用によるインタフェース

2. 特許請求の範囲

CPUにより制御された親局(100)のデータのクロックを計数(21)しハード処理して複数Xの子局(200)へ一定ビット数Nのコマンドを送り該子局(200)から非同期的にレスポンスを受信しCPUによりソフト処理した新コマンドのデータ(D1)を2つのアクセス端子をもつデュアルポートRAM(1)の片側①にアドレス(p1)を指定して入力し、反対側②からクロック計数(21)によるアドレス(p2)の指定によりフレーム同期化されたデータ(D2)を読み出して再び該子局(200)へ送信するソフト処理データ(D1)とハード処理データ(D2)のインターフェースとしてデュアルポートRAM(1)を使用する時分割アクセス方式において、

該デュアルポートRAM(1)のアドレスの領域を一定ビット数Nのコマンドのコマンド数Xに等し

い数Xの領域に分割し、

該デュアルポートRAM(1)へCPUから入力するソフト処理された非同期データ(D1)のチャネル変化タイミング(TMG)により計数を開始し一定ビット数Nに等しいクロック(CK)を計数する毎に計数值を桁上げして上位値(M)を出力するチャネルカウンタ(22)を具え、
 該チャネルカウンタ(22)の出力の上位値(M)をデュアルポートRAM(1)の分割されたアドレス領域へアクセスするNビット単位のデータ(D1,D2)の上位アドレス(p1,p2a)とし最初の上位値(M1)によりCPUからのソフト処理データ(D1)を書き込み、次の上位値(M2)によりビット計数器(21)からのハード処理データ(D2)を読み出して、一定ビット数Nのフレームの一定フレーム数Xにフレーム化した出力データ(D2)を出力することを特徴としたデュアルポートRAM使用によるインターフェース。

3. 発明の詳細な説明

(概要)

衛星通信TDMA方式の如く CPUにより制御される親局が送信データをビット計数によるハード処理をし一定符号数N のコマンドを時分割で複数X の子局へ送りそのレスポンスを複数X の子局から非同期的に受信しソフト処理しデュアルポートRAM に書き込み流出してフレーム同期化した出力コマンドを再び子局へ送信するデュアルポートRAM 使用のTDMA方式のインターフェースに関し。

デュアルポートRAM における CPUからのソフト処理データとビットカウンタからのハード処理データのアドレスの衝突を避ける回路を含めて回路構成を簡単にし CPUの処理負荷の軽減を目的とし。

デュアルポートRAM のアドレス領域を一定符号数N のコマンドのコマンド数X の領域に分割し、CPU から入力するソフト処理データのチャネル変化タイミングにより計数をスタートしコマンドの一定符号数N に等しいだけクロックを計数する毎に計数值を桁上げするチャネルカウンタを具え、該カウンタの桁上げした上位値M をデュアルポー

トRAM の分割されたアドレス領域の上位アドレスとして、最初の桁上値M1をソフト処理データのアクセスの上位アドレスとし、次の桁上値M2をハード処理データのアクセスの上位アドレスとして、N ビット/Xフレームにフレーム同期化されたデータをデュアルポートRAM から出力するように構成する。

(産業上の利用分野)

本発明は衛星通信TDMA方式の如く親局が時分割で複数の子局の動作を集中的に監理するTDMA通信方式に関し、特に親局が送受信データとCPU 側データとをデュアルポートRAM を用いて変換し、送受信データのDPRAM への読み書きはビット計数によるハード処理で行い、CPU 側データの該DPRAM への読み書きはCPU によるソフト処理で行い、複数X の子局へコマンドを時分割で送信し、複数X の子局からレスポンスを非同期で受信するインターフェースに関する。

(従来の技術)

衛星通信TDMA方式は、第4 図の説明図の如く、CPU をもつ親局E が、図示しないクロック計数器の計数によるハード処理をしてRAM に書き込み流出して衛星S を介して子局A ～子局X に対して一定符号数N の個別のコマンドA1 ～X1 を同期的に送出し、子局A ～子局X は、夫々のコマンドA1 ～コマンドX1 を受け取り対応する処理を行い親局E へ衛星S を介してレスポンスA1 ～レスポンスX1 を返すが、このレスポンスA1 ～レスポンスX1 は、親局E に返って来る迄には衛星S による時間遅延分と子局A ～子局X が受信したコマンドA1 ～コマンドX1 を処理する処理時間だけの時間遅延分とがあり、一般的には非同期である。

そして親局E は、子局A のレスポンスA1 の返送時には、別の子局B に対しコマンドB1 をハード処理して送出する。親局E は、また、このハード処理によるコマンドB1 の送出時点で、その図示しないCPU によるソフト処理を、子局A からの非同期受信のレスポンスA1 に対して行い、次フレームで

子局A へ同期的に送出するコマンドA2 をRAM へセットする。そして、この親局E のCPU が次フレームの同期したコマンドA2 の送出の準備として前フレームの非同期のレスポンスA1 をソフト処理している時に、親局E が別のコマンドB1 をハード処理して送出しておれば、ソフト処理出力のアドレスを表すCPU 割込パルスp1 と、カウンタのハード処理出力のアドレスを表すカウンタロードパルスp2 とが、互いに離れた位相で出力されて両アドレスの衝突はない。その為、親局に設けられるソフト側とハード側のインターフェースとなるメモリRAM において、ソフト側のアクセスp1 とハード側のアクセスp2 のタイミングが同一子局のアドレスへ同時にアクセスするアドレス衝突を避けるように設定される。そして従来は、このソフト側アクセスp1 とハード側アクセスp2 のインターフェースとして、その第1 例は第5 図の二面RAM 方式に示す如く、ハード処理するビットカウンタ21A の出力p2 とソフト処理するCPU アドレスp1 の両方をアドレス端子ADR に入力する2 面のRAM 21A とRAM 22A とが、

前段のセレクタ11A 及びセレクタ12A で選択されて入力される。そしてセレクタ11A 及びセレクタ12A は、面切替器4Aの出力を選択信号とするが、その面切替器4Aは、D フリップフロップで構成され、その入力端D には、ハード側とソフト側が共に処理を終了し両方に都合の良い時に入力する面切替の選択信号SEL を入力し、そのクロック入力端CKには、ビットカウンタ21A の計数をスタートさせる入力のチャネル変化タイミングを入力して、時間制御され出力された面切替器4AのD フリップフロップのQ出力を、セレクタ11A 及びセレクタ12A の選択信号入力端S に供給する構成になっている。そしてセレクタ11A 及びセレクタ12A の出力のアドレスにより指定されたデータを、RAM 21A 及びRAM 22A のデータ端子DATAから入出力し、入出力データD1,D2 を、セレクタ33A において、2 方向性のバッファ31A とバッファ32A を介して入出力し、セレクタ11A 及びセレクタ12A の選択信号と同じ面切替器4Aの出力を選択信号としておりセレクタ33A からフレーム化された出力データ

D2を外部のハード側又はソフト側へ出力して再び処理を開始する構成になっている。この二面 RAM 方式は、RAM の二面分21A,22A と、RAM 制御の面切替器4Aとを必要とする。

従来例の第2 は、第6 図の単純デュアルポート RAM 方式に示す如く、デュアルポート RAM 1A の片側のアドレス端子ADR ①とデータ端子DATA ①には、ソフト側のCPU からのアドレスp1と入力データD1を接続し、他の片側のアドレス端子ADR ②には、ハード側のビットカウンタ21A の出力のアドレスp2を入力し、データ端子DATA ②からフレーム化された出力データD2を出力する。そして、アドレス比較回路2AのEX-OR ゲートにより、ソフト側 CPU からのアドレスp1とハード側ビットカウンタ21A の入力のチャネル変化タイミングTMG との符号不一致を検出してCPU に通知し、CPU が両アドレスp1,p2 の衝突を避ける処理を行う構成になっている。

(発明が解決しようとする課題)

従来のソフト側アクセスとハード側アクセスのインターフェースとなる RAMとしては、上述の、第5 図の二面 RAM 方式に示す第1 例と、第6 図のデュアルポート RAM 方式に示す第2 例の構成があるが、第1 例の二面 RAM 方式は、RAM の二面分21A,22A と該二面RAM21A,22Aを切替制御する面切替器4Aとを必要とするので回路構成が複雑となるという問題があり、第2 例のデュアルポート RAM 方式は、RAM 制御の切替器は不要であるが、ハード側とソフト側のアドレスの衝突を防止するためのアドレス比較回路2Aを必要とするので回路構成が複雑となる上、CPU にアドレス衝突を防止するための処理負荷を増加させるという問題がある。

本発明は、上記の問題を解決することを課題とする。

(課題を解決するための手段)

この課題は、第1 図の如くデュアルポート RAM 1 をインターフェースとし、そのデュアルポート RAM 1 のアドレス領域を、一定符号数N のコマンド

データのデータ数X に等しいX 群に分割し、そのデュアルポート RAM 1 の片側①では、CPU によりソフト処理された非同期のN ビットデータD1(D11～D1X)を、CPU からのクロック数をチャネル変化タイミングTMG で計数開始するビットカウンタ21 で計数して発生したアドレスp1によりアクセスし、反対側②では、ビットカウンタ21がクロック計数しハード処理したデータを、ビットカウンタ21の出力の下位アドレスp2と、ビットカウンタ21がデータD1の所定の符号数N を計数する毎に桁上げして出力する上位値M の上位アドレスp2o などをアドレスとして読み出し、データ端子DATA ②から1フレームがN ビットで構成されたフレームのX フレーム、即ちN ビット/X フレームのデータのフレーム化出力データD2を出力するように構成する本発明によって解決される。

本発明のデュアルポート RAM 使用によるインターフェースの構成を示す第1 図の原理図において、1 は、アドレス領域を一定ビット数N のコマンドのコマンド数X に等しい一定数X に分割した両側

端子①②をもつデュアルポートRAM であって、その一定数X に分割されたアドレス領域の片側アドレス端子ADR ①に、ビットカウンタ21とチャネルカウンタ22からの最初の1ビット単位のアドレス p1とN ビット単位のアドレス p10を入力してCPU にてソフト処理されたN ビット単位の非同期データD1を片側のデータ端子DATA①に入力し、反対側アドレス端子ADR ②に、ビットカウンタ21とチャネルカウンタ22からの次フレームの1ビット単位の下位アドレス p2とN ビット単位の上位アドレス p20を入力して、反対側のデータ端子DATA②から両アドレス p2, p20に相当するデータD2を読み出して、1フレームがN ビットで構成されたフレームのX フレームのフレーム同期化された出力データD2を出力するデュアルポートRAM である。

21 は、デュアルポートRAM 1 の入力データD1のクロックを、CPU からのチャネル変化タイミングTMG により計数開始して、ビット単位で計数するビットカウンタである。

22 は、ビットカウンタ21とともに入力データD1

のクロックを、CPU からのチャネル変化タイミングTMG により計数開始して、一定ビット数N だけ計数する毎にリセットされ計数値を桁上げし、桁上げされた上位値M を周期的にX 個だけ出力するチャネル・カウンタである。

そしてチャネル・カウンタ22の出力の最初のフレームと次フレームの上位値M1, M2 を、アクセスの上位アドレス p10, p20 として入力データD1を書き込み読み出して、1フレームがN ビットで構成されたフレームのX フレームのフレーム同期化された出力データD2をデータ端子DATA②から出力するように構成する。

(作用)

本発明のデュアルポートRAM 1 は、アドレス領域を一定符号数N からなる群単位で一定数X の群に分割され、その一定数X の群に分割されたN ビット単位のアドレス領域の、片側データ端子DATA ①に、CPU からのソフト処理した非同期のN ビットのコマンドデータD1のX 個分D11 ~ D1X を、1

ビット単位の下位アドレス p1をビットカウンタ21から入力し、N ビット毎にリセットされ桁上げされた上位アドレス p10 をチャネルカウンタ22から片側のアドレス端子ADR ①に入力してアクセス領域を指定して入力する。そして、反対側アドレス端子ADR ②には、ビットカウンタ21の出力の下位アドレス p2の他に、チャネル・カウンタ22が入力データD1のクロックを一定ビット数N だけ計数する毎にリセットされ計数値を桁上げして出力する上位値M の上位アドレス p20 を入力することにより、データ端子DATA②から上位アドレス p20 と下位アドレス p2に相当するデータを読み出して、1フレームがN ビットで構成されたフレームのX フレームのフレーム同期化された出力データD2を出力する。

本発明のデュアルポートRAM 使用によるインターフェースは、CPU からデュアルポートRAM 1 の片側①へ入力されるソフト処理された入力データD1 のアドレス p1と、デュアルポートRAM 1 の反対側②から出力されるビットカウンタ21にてハード処

理された出力データD2のアドレス p2とが、チャネルカウンタ22の桁上した上位値M の時間的に離れた2つの出力M1, M2 により指定され、非同期の入力データD1のアドレス p1はチャネルカウンタ22の出力の上位値M の最初の出力M1 で指定され、フレーム同期した出力データD2のアドレス p2はチャネルカウンタ22の次フレームの計数出力の上位値M2 で指定されるので、CPU からのソフト処理された非同期の入力データD1のアドレス p1とビットカウンタ21によりハード処理されフレーム同期化された出力データD2のアドレス p2とは、チャネルカウンタ22の上位値M の1 フレーム分だけ離れているので、そのアドレス衝突は必然的に起こらず従って衝突防止の為のCPU 処理は不要となる。

また、CPU からの非同期データD1のアドレス p1とビットカウンタ21からの同期化出力データD2のアドレス p2とは、チャネルカウンタ22の連続した2つの上位値M1, M2 により自動的に切替が行われるので入出力の切替器が不要となり回路構成が簡素になるので問題は解決される。

(実施例)

第2図は本発明の実施例のデュアルポートRAM使用によるインタフェースの構成を示すブロック図であり、第3図はその動作を説明するためのタイムチャートである。

第2図のブロック図のデュアルポートRAM 1は、第4図に示した一般的な衛星通信TDMA方式における親局Eの100に設置され、CPU 10をもつ親局Eがビットカウンタ21によりクロックCKを計数するなどのハード処理により、複数Xの子局200へ衛星Sを介して一定ビット数NのコマンドのX個分D11～D1Xを順次に一定時間に同期的に送出して、該X個の複数の子局200から夫々のレスポンスを衛星Sを介して非同期的に受信する。そして親局Eが非同期的に受信したX個のレスポンスのデータD11～D1Xを、自蔵のCPU 10の内部メモリによりソフトウェア処理したのち、このデュアルポートRAM 1に順次に入力し読出時間を調整して再び一定符号数NのコマンドのX個分D11～D1Xをフ

レーム同期化したデータD2として出力し、このフレーム同期化したデータD2をデュアルポートRAM 1から無線機30などにより順次にX個の子局200へ送信する場合の実施例である。

第2図のブロック図のデュアルポートRAM 1は、そのアドレス領域を一定符号数Nからなるコマンドの数Xに等しい数Xの群に分割され、その一定数Xの群に分割されたアドレス領域の片側①に、CPUからのNビット構成のコマンドの非同期データD1のX個(チャネル)分D11～D1Xを、ビットカウンタ21から片側のアドレス端子ADR ①に入力されるビット単位のアドレスp11～p1Xによりアクセスさせる。そして、そのアクセスするアドレス領域は、チャネルカウンタ22から入力されるNビット毎に桁上げされ入力されるNビット単位の上位アドレスp10によりそのアクセス領域が指定される。そして、反対側アドレス端子ADR ②には、ビットカウンタ21の出力の下位アドレスp2の他に、チャネルカウンタ22が入力データD1のクロックを一定ビット数Nだけ計数する毎に計数値を桁上げ

して出力する上位値Mの上位アドレスp20が入力されて、データ端子DATA②から上位アドレスp20と下位アドレスp2に相当するデータを読出す。第3図のタイムチャートは、この動作を説明するものであり、第2図のブロック図の(1)～(5)に対応する。

第3図のタイムチャートの(1)CH変化TMGは、ビットカウンタ21とチャネルカウンタ22の計数開始をさせるチャネル変化タイミングTMGを示し、(2)CHカウンタは、チャネルカウンタ22が(1)CH変化TMGにより計数開始してN個の入力クロックを計数する毎に計数値を桁上げして出力する上位値Mの最初のフレームの上位値M1の(n)と次のフレームの上位値M2の(n+1)を表し、(3)ビットカウンタは、N個の入力クロックをビット単位で計数した計数値を表す。そして(4)ソフト処理は、(2)CHカウンタの出力の上位値Mの最初のフレームの上位値M1の(n)をアドレスp10として(3)ビットカウンタの出力のアドレスp1により片側のデータ端子DATA①に入力される非同期データ

D1であって、(5)フレーム出力は、(2)CHカウンタの出力の上位値Mの次フレームの上位値M2の(n+1)をアドレスp20として(3)ビットカウンタの出力のアドレスp2により反対側のデータ端子DATA②から出力される1フレームがNビットで構成されたフレームのXフレームのフレーム化された出力データD2である。

第3図のタイムチャートに示す如く、第2図の本発明の実施例のデュアルポートRAM使用によるインタフェースは、CPU 10からデュアルポートRAM 1へ入力されるソフト処理された非同期の入力データD1のアドレスp1と、デュアルポートRAM 1から出力されるビットカウンタ21にてハード処理されたフレーム同期化出力データD2のアドレスp2とが、チャネルカウンタ22の桁上した上位値Mの時間的に離れた2つの出力M1、M2により指定され、非同期の入力データD1のアドレスp1はチャネルカウンタ22の出力の上位値Mの最初の出力M1で指定され、フレーム同期した出力データD2のアドレスp2はチャネルカウンタ22の次の出力の上位値M

2 で指定されるので、CPU 10からのソフト処理された非同期の入力データ01のアドレスp1とビットカウンタ21によりハード処理されフレーム同期化された出力データ02のアドレスp2とは、チャネルカウンタ22の上位値M の1 フレーム分だけ離れているので、その衝突は自動的に起こらず従って衝突防止の為のCPU 処理は不要である。

また、CPU 10からの非同期データ01のアドレスp1とビットカウンタ21からの同期化出力データ02のアドレスp2とは、チャネルカウンタ22の連続した2つの上位値M 1,M 2 により自動的に切替が行われるので切替器が不要となり回路構成が簡素になるので問題は無い。

(発明の効果)

以上説明した如く、本発明によれば、CPU によりソフト処理した非同期のデータとクロックカウンタによりハード処理したフレーム同期したデータとのインターフェースとなるデュアルポートRAM の回路が、簡単な構成により入出力データの切替

が可能となり、アドレス衝突を防止できる効果が得られる。

4. 図面の簡単な説明

第1 図は本発明のデュアルポートRAM 使用によるインターフェースの構成を示す原理図。

第2 図は本発明の実施例のデュアルポートRAM 使用によるインターフェースの構成を示すブロック図。

第3 図は本発明の実施例の動作を説明するためのタイムチャート。

第4 図は従来の衛星通信TDMA方式の動作を説明するための説明図。

第5 図は従来の二面RAM 方式のインターフェースのブロック図。

第6 図は従来の単純デュアルポートRAM 方式のインターフェースのブロック図である。

図において、

1はデュアルポートRAM 、

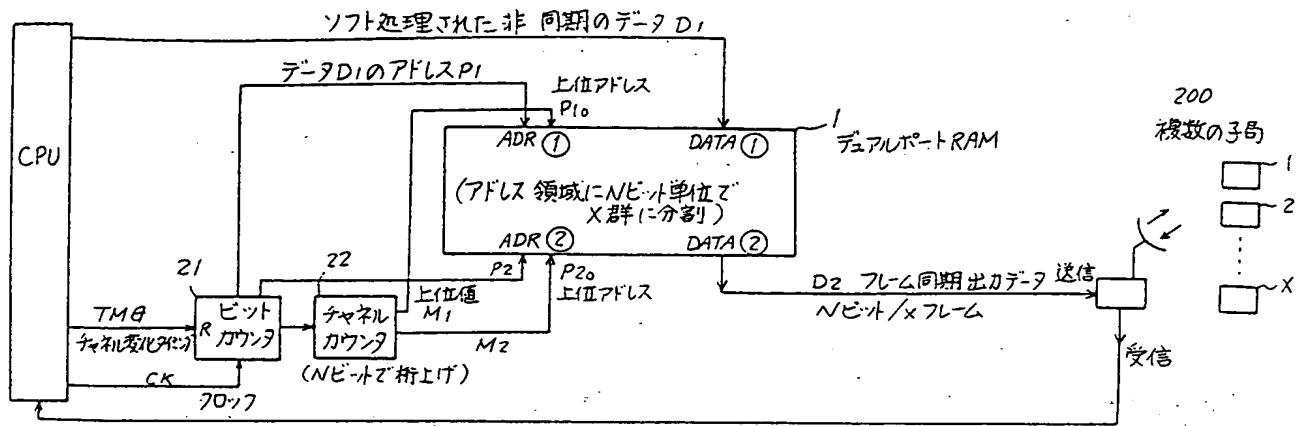
21 はビットカウンタ、

22 はチャネルカウンタである。

代理人 弁理士 井桁貞一

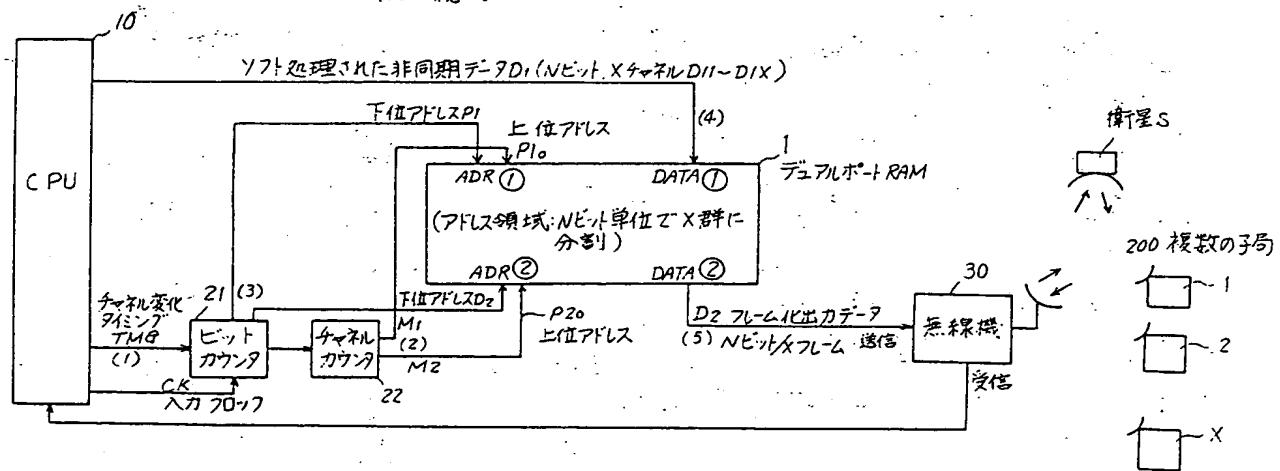


100 親局

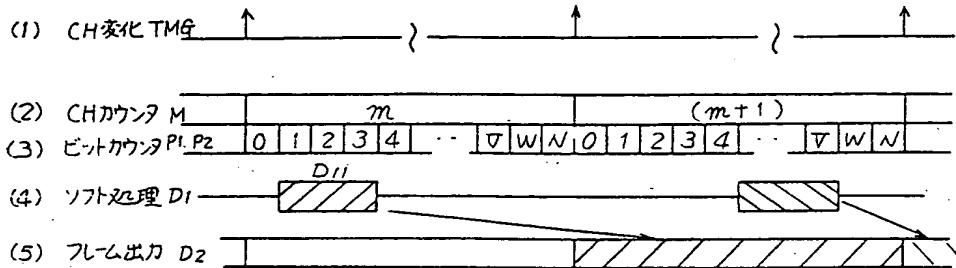


本発明のデュアルポートRAM使用によるインターフェースの構成
を示す原理図 第1回

100 親局 E

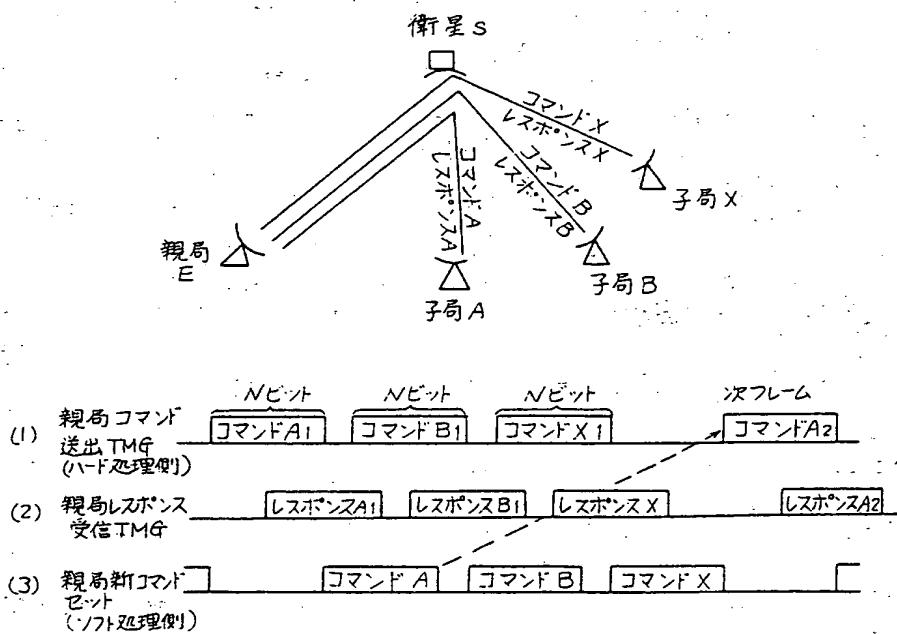


本発明の実施例のデュアルポートRAM使用によるインターフェースの構成
を示すプロック図 第2回



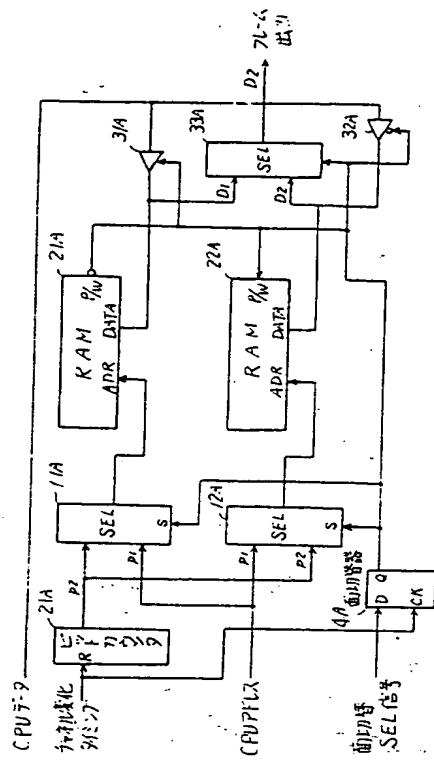
本発明の実施例の動作と説明するためのタイムチャート

第3図



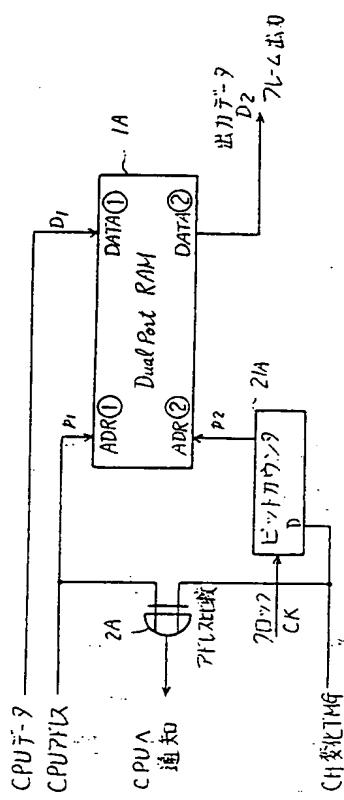
従来の衛星通信 TDMA方式の動作と説明するための説明図

第4図



従来の二面RAM方式の仕様図

図 5



従来の単純アドレストRAM方式の仕様図

図 6